

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-337763
 (43)Date of publication of application : 06.12.1994

(51)Int. Cl. G06F 3/06
 G11B 20/12

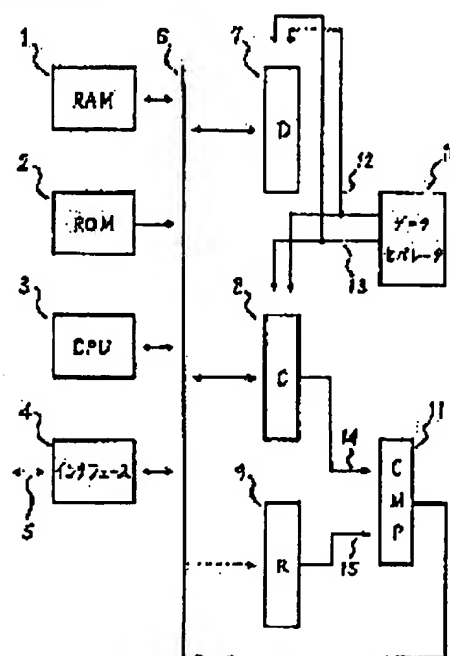
(21)Application number : 05-127642 (71)Applicant : NEC CORP
 (22)Date of filing : 31.05.1993 (72)Inventor : TATEISHI HISAO

(54) DATA FORMAT CONTROLLING CONTROLLER FOR DISK DEVICE

(57)Abstract:

PURPOSE: To discriminate whether data is original data or not by detecting an INDEX address mark and then outputting data bits and clock bits, byte by byte.

CONSTITUTION: In order to detect a SYNC byte, FFh as the data pattern of the clock bits of an SYNC byte part is written in a comparison register 9 through an internal bus 6, and it is confirmed through a comparing circuit 11 that the data pattern of a shift register 8 where the clock bits are set becomes FFh, thereby confirming an SYNC byte field. After an address mark is confirmed, 8-byte data which are its data bits and clock bits are transferred to a host computer 4 and outputted to an external bus terminal 5, and every time serial data bits are advanced by one byte thereafter, data codes of shift registers 7 and 8 are transferred to the host interface 4 through an internal bus 6 and outputted to the terminal 5.



LEGAL STATUS

[Date of request for examination] 23.01.1998

[Date of sending the examiner's
 decision of rejection]

[Kind of final disposal of application
 other than the examiner's decision of
 rejection or application converted
 registration]

[Date of final disposal for
 application]

[Patent number] 2882239

[Date of registration] 05.02.1999

[Number of appeal against examiner's
 decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-337763

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl.⁵

G 0 6 F 3/06

G 1 1 B 20/12

識別記号

3 0 1 Y

庁内整理番号

9295-5D

F I

技術表示箇所

審査請求 未請求 請求項の数1 OL (全9頁)

(21) 出願番号 特願平5-127642

(22) 出願日 平成5年(1993)5月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 立石 久男

東京都港区芝五丁目7番1号 日本電気株式会社内

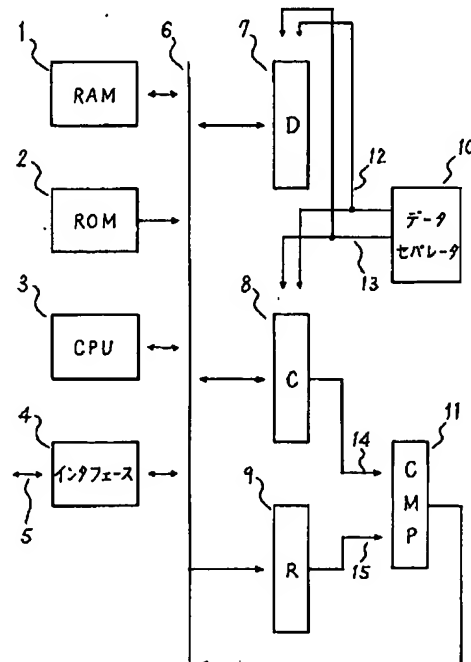
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 ディスク装置用データフォーマット制御コントローラ

(57) 【要約】

【目的】 MFM/FM記録方式対応のディスク制御システムに於いて、リード時にデータフィールドのデータを転送する場合に、データビットとクロックビットをバイト単位で交互に上位のホストシステムに転送する機能を持つディスク装置用データフォーマット制御コントローラを用いて、ディスク装置からデータをリードする場合にオリジナルのデータか否かを判断すること。

【構成】 コントローラ全体のシーケンスを制御するCPUと、このCPUのシーケンスがプログラミングされているROMと、汎用に使できるRAMと、ディスク装置から入力されるシリアルなリードデータに対して位相同期を取りリードデータ及び同期信号を出力するデータセパレータと、このデータセパレータ回路の出力する前記2つの信号からクロックビットとデータビットを分離し各々を格納する2つのレジスタと、クロックビットを格納する前記レジスタの値と予め前記CPUからセットされた期待データ値と比較する比較回路とから少なくとも構成される。



【特許請求の範囲】

【請求項1】 MFM記録方式及びFM記録方式をサポートするディスク装置のデータフォーマットを制御するコントローラに於いて、上位ホストシステムとのインタフェース回路と、コントローラ全体のシーケンスを制御するCPUと、

このCPUのシーケンスがプログラミングされているROMと、このCPUが汎用に使われるRAMと、ディスク装置から入力されるシリアルデータのリードデータに対して位同期を取りリードデータ及び同期信号を出力するデータセパレータと、このデータセパレータ回路の出力する前記2つの信号からクロックビットとデータビットを分離し各々を格納する2つのレジスタと、クロックビットを格納する前記レジスタの値と予め前記CPUからセットされた期待データ値を比較する比較回路とから少なくとも構成され、

トラックの回転開始点を示すINDEX信号に続くINDEXアドレスマークを検出し、

この検出したアドレスマークバイトを構成するデータビットとクロックビット及び、それ以降に続くデータを構成するデータビット及びクロックビットも同様に各々1バイトづつ上位ホストシステムとのインタフェースへ出力することを特徴とするディスク装置用データフォーマット制御コントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディスク装置のデータフォーマットを制御するコントローラに関するものであり、特に、ディスク装置に対してリード及びライトするデータがMFM記録方式及びFM記録方式のように新のデータに対して一定の規則性を持ったクロックデータを伴うシリアルデータのデータ列を扱うディスク装置に関するものである。

【0002】

【従来の技術】従来、ディスク装置、特に、フロッピーディスク装置の記録方式には、FM、MFM記録方式の2種類が主流であった。FM記録方式の場合、ディスク装置にリード及びライトするシリアルデータは、新のデータ1ビットに対して1ビットのクロックビットを必ず付加したデータ構成になっている。すなわち、次の図のように1バイトの新しいデータが、(D7, D6, D5, D4, D3, D2, D1, D0)の場合、ディスク装置間でやり取りされるシリアルデータは、各データ間に1ビットのデータを埋め込んだ2バイトのデータとなる。

【0003】新のデータ: D7 D6 D5 D4
D3 D2 D1 D0

シリアルデータ: 1 D7 1 D6 1 D5 1
D4 1 D3 1 D2 1 D1 1 D0

例えば、1バイトの新しいデータがFEhの場合、このシ

リアルデータはFFFEhの2バイトになる。

【0004】一方、MFM記録方式の場合、ディスク装置にリード及びライトするシリアルデータは、FM記録方式と同様に新のデータ1ビットに対して1ビットのクロックビットを付加したデータ構成となり、1バイトの新しいデータが、(D7, D6, D5, D4, D3, D2, D1, D0)の場合、ディスク装置間でやり取りされるシリアルデータは、各データ間に1ビットのデータを埋め込んだ2バイトのデータ、すなわち次のように新のデータ: D7 D6 D5 D4 D3 D2 D1 D0

シリアルデータ: C7 D7 C6 D6 C5 D5
C4 D4 C3 D3 C2 D2 C1 D1 C0 D0

となる。但し、このクロックビットの生成には次の規則がある。

【0005】 $C_n = D_{n-1} * D_n$

例えば、1バイトの新しいデータがA1hの場合、このシリアルデータは44A9hの2バイトになる。

【0006】これらの記録方式を使ってディスク装置でのデータフォーマットは、図6、図7のように、ID及びDATAフィールドからなるセクターから構成されており、各フィールドの先頭を識別するには、シリアルデータの同期用となるSYNCフィールドの後に位置するアドレスマークの固有のデータパターンを検出することによって識別されることになる。特に、これらアドレスマークのクロックビットのデータパターンは、記録方式のデータ生成規則に準拠しない固有のデータパターンであることからこのクロックビットを検出することによって各アドレスマークの先頭を検出している。

【0007】ここで、このデータフォーマットをリードする方法について、特に、フロッピーディスク装置のデータフォーマットを制御するLSI（以降、FDCと略称する）として、日本電気社製μPD765A及びμPD72065があり、前述の記録方式をもちいてディスク装置にライト及びリードを実施していた。

【0008】図2はフロッピーディスク装置からひとつのセクターのデータフィールドのデータをリードする場合について説明している。

【0009】すなわち、まず、フロッピーディスク装置からくるシリアルデータのリードデータからSYNCバイトのデータパターンを検出し、次に、IDフィールドのアドレスマークを構成するクロックビット及びデータビットを検出する。さらに、予め指定されたセクター番号であるシリンドラ、ヘッド、セクタ、セクター長及びそれらの読み取りのエラーの有無を検出するCRCバイトが正しく検出された後に、IDフィールドに続くDATAフィールドの先頭であるSYNCバイトを検出し、IDフィールドのマークバイト同様にこのDATAフィールドのアドレスマークの検出に入る。このマークバイトが正し

く検出された後にこのマークバイトに続く新のデータビットを1バイト単位で上位のホストシステムに所定のデータバイト数を転送し、このデータバイトに続くCRCバイトを用いて読み取り時のリードエラーの有無を検出している。

【0010】

【発明が解決しようとする課題】このようにデータフィールドのデータをクロックビットを転送することなく、データビットのみを転送するFDCでは、開発したソフトウェアを各セクタのデータフィールドに書き込み保存した場合に必ずリードされて不用意に複製されてしまうという問題が発生してしまう。

【0011】この不正なデータ複写を防ぐために開発元ではセクタの並びを故意に変更したり、シリンダー毎に記録方式を変更したり、また、DATAフィールドのCRCバイトのみ特殊な装置を用いて破壊したりしてMS-DOS等のOS（オペレーティング・システム）では簡単に複写できない特殊なフォーマット構成を検討しなければならず、その特殊なフォーマットを制御するための装置及びソフトウェアを開発しなければならない問題があった。

【0012】

【課題を解決するための手段】MFM記録方式及びFM記録方式をサポートするディスク装置のデータフォーマットを制御するコントローラに於いて、セクタを構成するIDフィールドとDATAフィールドを識別する手段と、各フィールドを構成する同期バイトとアドレスマークバイトを識別する手段と、ディスク装置から入力されるシリアルなデータをバイト単位に変換し出力する手段をすくなくとも具備し、INDEXアドレスマークを検出した後、このマークバイト以降のデータを構成するデータビット及びクロックビットを各々1バイトずつ出力することを特徴とする。

【0013】

【実施例】本願は、図8に示すように従来から使用している前述のμPD765Aでデータフォーマットされたデータをリードする場合に、特に、トラックの回転開始点を示すINDEX信号に続くINDEXアドレスマーク以降のデータをリードし、その直後に位置するデータのデータビット及びそのクロックビットを1バイト単位で交互に出力する機能を有するFDCである。

【0014】ここで、従来の技術でも説明したようにMFM記録されたデータ列を用いて説明する。1バイトの新しいデータに対して1バイトのクロックビットが下記のように生成されたシリアルデータをフロッピー・ディスク装置からリードする場合に、

新のデータ： D7 D6 D5 D4 D3 D2

D1 D0

シリアルデータ： C7 D7 C6 D6 C5 D5

C4 D4 C3 D3 C2 D2 C1 D1 C

0 D0

従来のFDCでは、新のデータ1バイト（D7 D6 D5 D4 D3 D2 D1 D0）のみを上位ホストシステムに出力しているのに対して、本発明のFDCでは、新のデータ1バイト（D7 D6 D5 D4 D3 D2 D1 D0）とクロックビットデータ1バイト（C7 C6 C5 C4 C3 C2 C1 C0）を上位のホストシステムに出力する点に特徴がある。

【0015】すなわち、FDCはトラックの回転開始点を示すINDEX信号が入力されるのを待ってから、図3に示すようにこのINDEX信号に続く同期クロック信号であるSYNCフィールドを検出し、固有の4バイトからなるマークバイトであるINDEXアドレスマークを検出した後、このアドレスマークのデータを含めてこれ以降に続くデータから前述したデータビットとクロックビットを各々1バイト毎にホストインタフェースにデータ転送を開始する。

【0016】この本発明のFDCの機能構成を図1を用いて説明する。1はランダムアクセスメモリー（RAM）で、2はリードオンリメモリー（ROM）、3はこのFDCの中央演算処理装置（CPU）、4は上位ホストシステムとのデータを送受信するインターフェース、10はフロッピー・ディスク装置から来るシリアルなリードデータに対して再生リードデータ信号12及びそれに同期したクロック信号13を生成するデータセパレータ、7はデータセパレータ10の出力する再生リードデータの中から新のデータを同期クロック信号13を用いて1バイト保存するシフトレジスタであり、8はデータセパレータ10の出力する再生リードデータの中からクロックビットを同期クロック信号13を用いて1バイト保存するシフトレジスタである。また、9は1バイトのクロックビットを保存するシフトレジスタ8のデータコードを比較するための比較基準データを保存するレジスタであり、14、15信号を用いてこれらのデータはバイト単位で比較しその結果を出力する比較回路11に入力され、その比較結果は前述のCPU3で確認される構成を取る。

【0017】次に、前述の機能を持つFDCで図3に示す制御フローチャートの中で特にIDフィールドを検出した後のその直後に続くアドレスマークバイト以降のデータに対してリード時の動作を行う場合について図4を用いながら図1の各機能を説明する。

【0018】ホストシステムからリードしようとするINDEXアドレスマークの前に位置する同期クロック信号であるSYNCバイトフィールドを検出するために、まず、SYNCバイトを検出するために内部バス6を介して比較レジスタ9にSYNCバイト部のクロックビットのデータパターンであるFFhを書き込み、クロックビットがセットされるシフトレジスタ8のデータパター

ンがFFhになるのを比較回路11を介して確認することでSYNCバイトフィールドの確認が出来る。この確認ができた後にその時のデータビットが格納されるシフトレジスタ8のデータパターンが00hであることを確認する。この確認が出来ることでSYNCバイトフィールドであることを確認できる。次に、このSYNCバイトに続くアドレスマークバイトの検出に入る。すなわち、この第一番目のアドレスマークの第1番目のクロックビットバイトである14hを比較レジスタ9にセットしシフトレジスタ8がこのデータと同じになるまで待ち、同じになった直後のシフトレジスタ7のデータすなわちこの第1番目のアドレスマークのデータコードがC2hであることを確認する。同様に、これに続く第二番目第三番目のアドレスマークに対しては、前述の検出から1バイト単位のデータに対して、そのクロックビットバイトである14hであることを比較レジスタ9にセットすることによってシフトレジスタ8がこのデータと同じであることを確認し、同様にその直後のシフトレジスタ7のデータがアドレスマークのデータコードがC2hであることを各々確認する。さらに、第四番目のアドレスマークに対しても同様に、前述の検出から1バイト単位のデータに対して、そのクロックビットバイトである01hであることを比較レジスタ9にセットすることによってシフトレジスタ8がこのデータと同じであることを確認し、同様にその直後のシフトレジスタ7のデータがアドレスマークのデータコードがFChであることを各々確認する。

【0019】このアドレスマークが確認された後、このデータビットとクロックビットである(C2h, 14h)(C2h, 14h)(C2h, 14h)(FCh, 01h)の8バイトのデータをホストインタフェース4に転送し外部バス端子5に出力し、以降、フロッピー・ディスク装置から入力されるシリアルデータのデータビットが1バイト分進む毎にシフトレジスタ7及び8のデータコードを内部バス6を介してホストインタフェース4に転送し、外部バス端子5に出力する。

【0020】以上のようにして目的のIDフィールドを検出した直後のマークバイト以降のデータをデータビットとそのクロックビットを各々1バイト毎にホストシステムに出力することが出来る。

【0021】前述の実施例1ではMFM記録方式について説明したが、次に、図9に示すフロッピー・ディスク装置に利用されるFM記録方式について説明する。

【0022】実施例2でも、実施例1同様に予めデータフォーマットされたデータをリードする場合に、特に、各セクターのDATAフィールドのSYNCバイト及びアドレスマークを除くデータの記録方法を従来の記録方法と変更して書き込まれたデータをリードする場合に、目的のセクターのIDフィールドに続くマークバイトを含んでデータビット及びそのクロックビットを1バイト

単位で交互に出力する機能を有するFDCである。ここで、従来の技術でも説明したようにFM記録されたデータ列はMFM記録方式同様に、1バイトの新しいデータに対して1バイトのクロックビットが下記のように生成されたシリアルデータをリードする場合に、

新しいデータ: D7 D6 D5 D4 D3 D2
D1 D0

シリアルデータ: C7 D7 C6 D6 C5 D5
C4 D4 C3 D3 C2 D2 C1 D1 C0
D0

従来のFDCでは、新しいデータ1バイト(D7 D6 D5 D4 D3 D2 D1 D0)のみを上位ホストシステムに出力しているのに対して、本実施例のFDCでは、実施例1同様に新しいデータ1バイト(D7 D6 D5 D4 D3 D2 D1 D0)とクロックビットデータ1バイト(C7 C6 C5 C4 C3 C2 C1 C0)を上位のホストシステムに出力する点に特徴がある。

【0023】すなわち、MFM記録の実施例1と同様に、目的のINDEXアドレスマークを検出しデータを転送する制御フローチャートは図3に示したMFM記録方式と同じである。

【0024】次に、前述の機能を持つFDCでMFM記録の場合と違う点のみを説明する。

【0025】すなわち、図3に示す制御フローチャートの中で特にDATAフィールドのアドレスマークバイト以降のデータに対してリード時の動作を行う場合について図5を用いながら図1の各機能を説明する。

【0026】ホストシステムからリードしようとするINDEXアドレスマークの前に位置する同期クロック信号であるSYNCバイトフィールドを検出するために、まず、SYNCバイトを検出するために内部バス6を介して比較レジスタ9にSYNCバイト部のクロックビットのデータパターンであるFFhを書き込み、クロックビットがセットされるシフトレジスタ8のデータパターンがFFhになるのを比較回路11を介して確認することでSYNCバイトフィールドの確認が出来る。この確認ができた後にその時のデータビットが格納されるシフトレジスタ8のデータパターンが00hであることを確認する。この確認が出来ることでSYNCバイトフィールドであることを確認できる。次に、このSYNCバイトに続く1バイトのアドレスマークバイトの検出に入る。すなわち、このアドレスマークのクロックビットバイトであるD7hを比較レジスタ9にセットしシフトレジスタ8がこのデータと同じになるまで待ち、同じになった直後のシフトレジスタ7のデータすなわちこのアドレスマークのデータコードがFChであることを確認する。

【0027】このアドレスマークが確認された後、このデータビットとクロックビットである(FCh, D7

8

*ATAフィールドのアドレスマーク以降のクロックビットのデータは例えどのようなデータ列になっていてもそのリード時には全く検証されないために、記録方式に合わないクロックビットが存在していても従来のFDCで何等問題なくリードすることが出来るために、MS-DOS等のOSがサポートするフォーマット構成に合った構成でデータを記録することが可能であるために、従来のようにシリンダ毎に記録方式を変更したり、セクタを不連続にインタリーブしたりする特殊な記録方法を検討することはなくなり、非常に簡単に独自のデータを記録する事が出来る効果がある。

【図面の簡単な説明】

【図 1】第 1 の実施例を示すブロック図。

【図2】従来の制御フローを示す図。

【図3】第1の実施例の制御フロー

【図4】第2の実施例の制御フローを示す図

【図5】第3の実施例の制御フローを示す図

【図6】従来のデータフォーマットを示す図

【図7】従来のデータフォーマットを示す図

【図8】第1の実施例のデータフォーマットを示す図

【図9】第2の実施例のデータフォーマットを示す図

【符号の説明】

1. RAM

1	RAM
2	ROM

3 CPU

4 ホトシシステムとのインターフェース回路

5 外部バス

6 内部バツ

7 ディスク装置から来るデータビットをスタックする回路

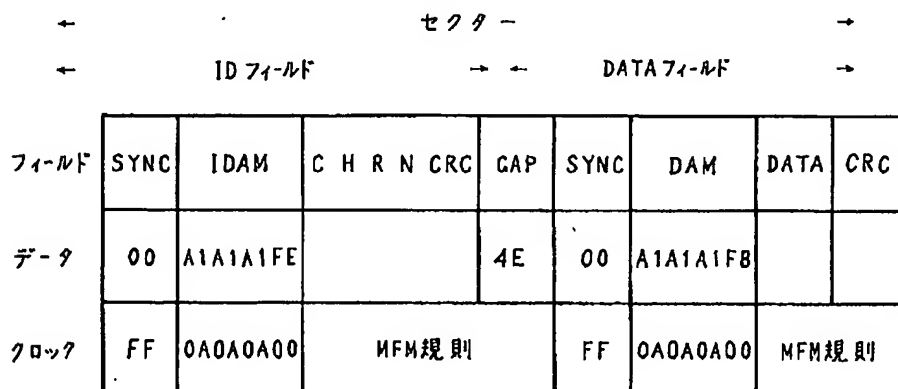
8 ディスク装置から来るクロックビットをスタックする回路

9 期待クロックデータパターンを保つレジスタ

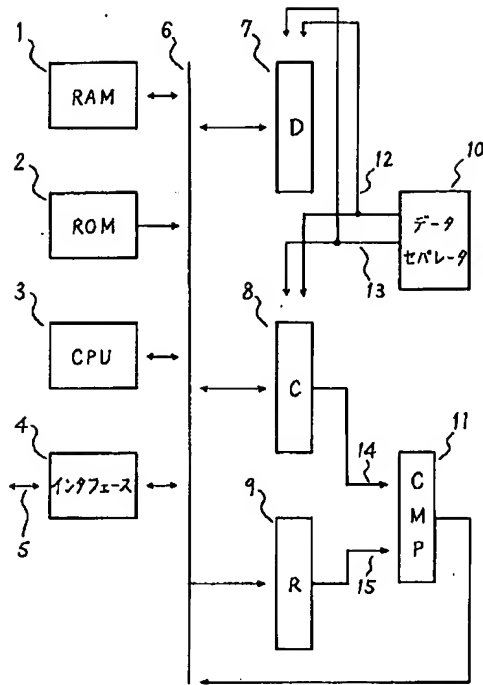
10 データセバレータ

1.1 比較回路

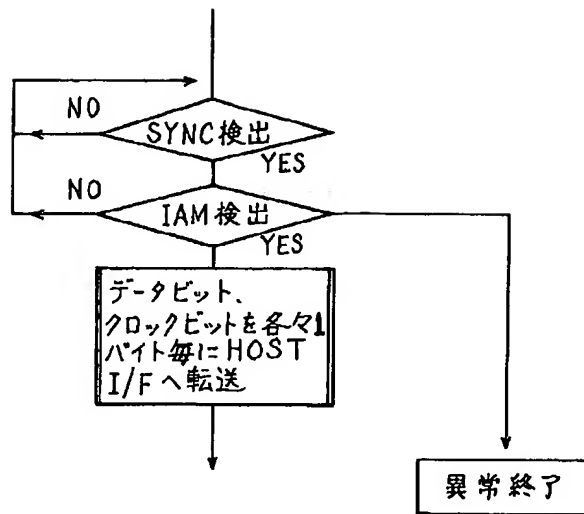
【図6】



【図1】



【図3】



【図8】

INDEX								
フィールド	GAP	SYNC	IAM	GAP	セクタ-1	セクタ-2	セクタ-N	GAP SYNC
データ	4E	00	C2C2C2FC	4E				4E 00
クロック	70	FF	14141401	70				70 FF

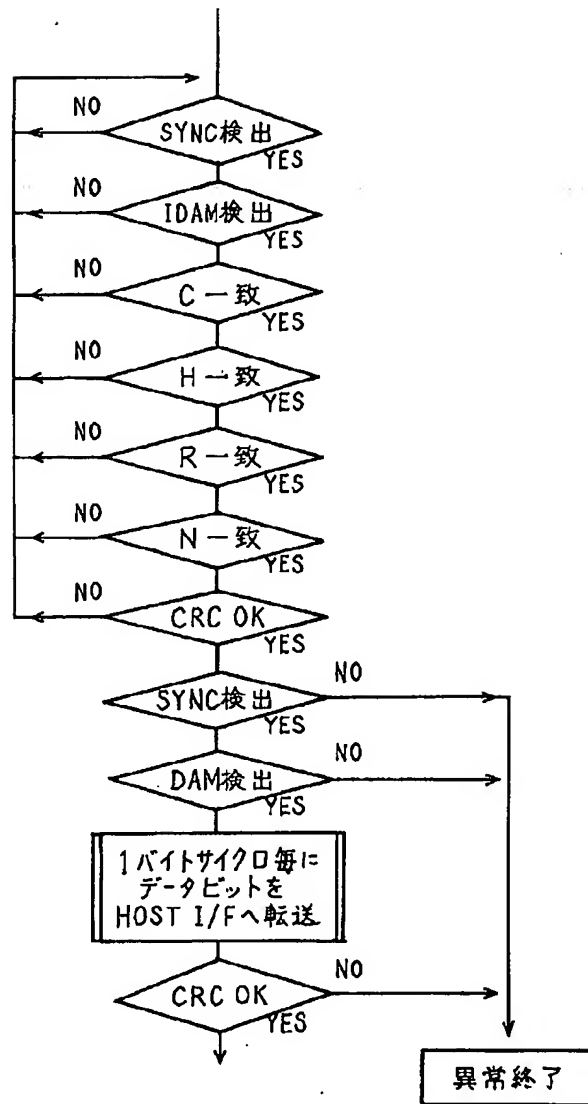
【図7】

	セクター							
	IDフィールド				DATAフィールド			
フィールド	SYNC	IDAM	C H R N CRC	GAP	SYNC	DAM	DATA	CRC
データ	00	FE		4E	00	FB		
クロック	FF	00	FF	FF	00	FF		

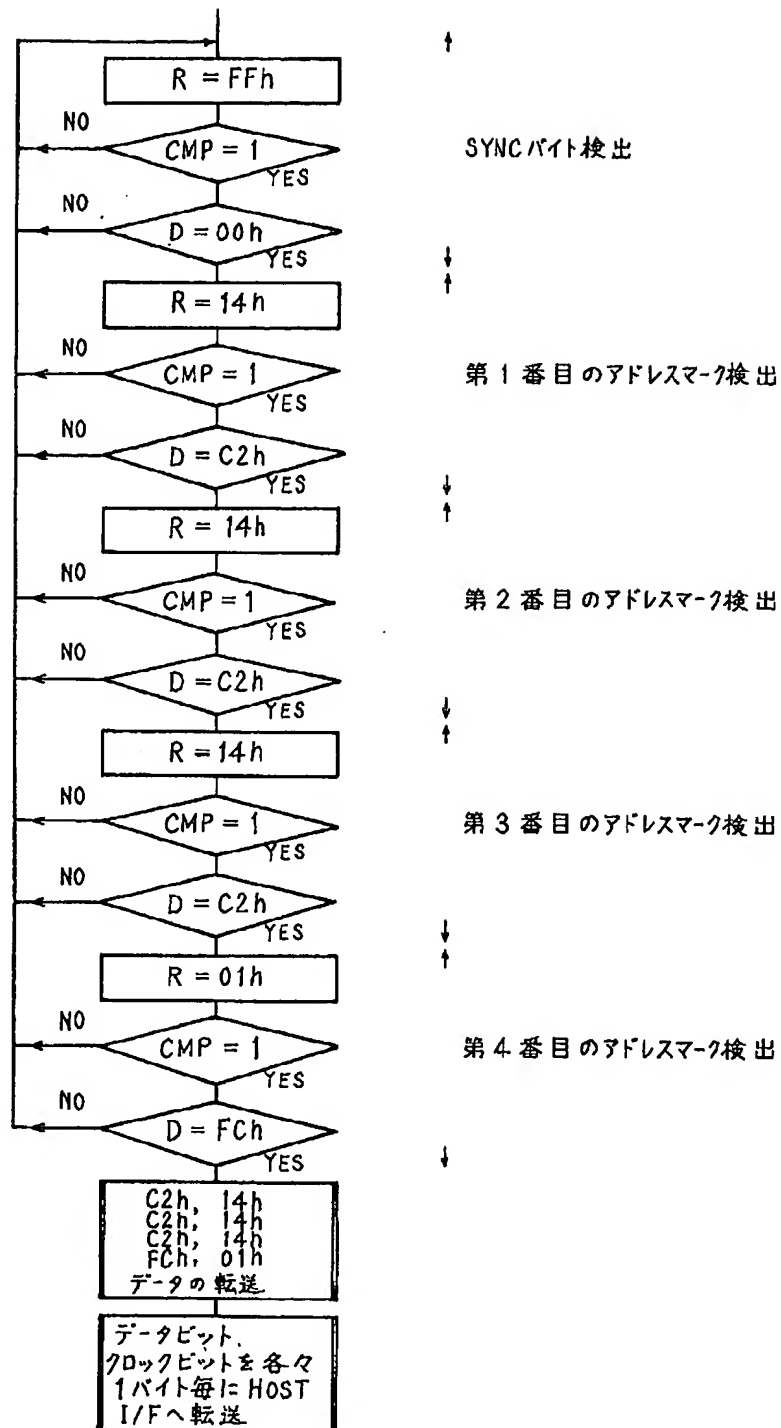
【図9】

INDEX								
フィールド	GAP	SYNC	IAM	GAP	セクタ-1	セクタ-2	セクタ-N	GAP SYNC
データ	4E	00	FC	4E				4E 00
クロック	FF	FF	D7	FF				FF FF

【図2】



【図4】



【図5】

